

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074167

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

H01L 21/318

H01L 29/78

(21)Application number : 05-163013

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 30.06.1993

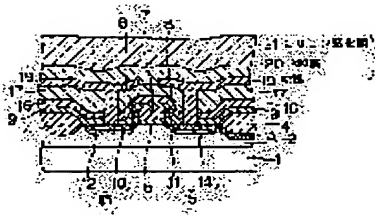
(72)Inventor : FUKUDA KENJI
ASO HIROYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method of manufacturing a semiconductor device that has excellent electrical characteristics and has an improved hot carrier life, by optimizing the amount of hydrogen present in a gate oxide film to completely terminate dangling bonds present on the surface of the semiconductor substrate and to prevent the presence of excessive oxygen.

CONSTITUTION: Heat treatment is performed after the formation of desired elements on a silicon substrate 1 and before the formation of a silicon nitride film 21 as a protective film. The heat treatment is performed at a temperature between 350-450°C inclusive for a period between 10-130min inclusive. A mixed gas, composed of hydrogen and nitrogen, is used as an atmospheric gas with the hydrogen content between 5-20vol% inclusive.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A manufacture method of a semiconductor device characterized by performing heat treatment for 10 minutes or more and 130 minutes or less using mixed gas which consists of hydrogen and nitrogen and contains the hydrogen concerned in the range below 20 volume % more than 5 volume % as a controlled atmosphere at temperature of 350 degrees C or more and 450 degrees C or less before the maximum upper layer of a protective coat forms said silicon nitride in a manufacture method of a semiconductor device which consists of a silicon nitride.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture method of a semiconductor device, and relates to the manufacture method of the semiconductor device an electrical property and whose hot carrier resistance improved especially.

[0002]

[Description of the Prior Art] The gate length of a semiconductor device is becoming short with detailed-izing and high integration of the former to a semiconductor device. If this gate length becomes short, it will write in also on the same write-in voltage, the electric field of the gate at the time will become very high, energy with the expensive carrier passing through that will be obtained, and an ionization by collision will come to happen. This was called the hot carrier phenomenon and had caused property deterioration of an MOS (Metal Oxide Semiconductor) transistor.

[0003] Then, the MOS transistor which equipped "IEEE Trans. Electron Devices ED VOL.27, No.8, p1359-1376 (August 1980); IEEE, transaction erection RONDIBAISUZU I dee, 27 volumes, a number 8, and the 1359-1376th page (August, 1980)" with the LDD structure which controls a hot carrier phenomenon by weakening the electric field in the depletion layer in the edge of a source field and a drain field is introduced.

[0004] The MOS transistor equipped with this LDD structure is formed by the following methods. After forming a gate electrode through gate oxide on a silicon substrate (semiconductor substrate), the ion implantation of the low-concentration impurity is carried out to a silicon substrate by using the gate electrode concerned as a mask, and a low concentration impurity diffused layer is formed in the source field and drain field under a gate electrode.

[0005] Next, after forming a sidewall in the side of said gate electrode, a thermal oxidation film is formed in the whole surface as silicon oxide for ion implantations for the high concentration impurity diffusion stratification. Subsequently, it considers as the silicon oxide for ion implantations of a high-concentration impurity which pours this thermal oxidation film into a source field and a drain field selectively behind, the ion implantation of the high-concentration impurity is carried out to a silicon substrate by using a gate electrode and a sidewall as a mask, and a high concentration impurity diffused layer is formed in the source field and drain field under a gate electrode.

[0006] Next, after forming silicon oxide in the whole surface, a BPSG (Boron Phosphorus Silicate Glass) film is formed further, and after it carries out a reflow of this and it carries out flattening in 900 degrees C and nitrogen gas, an SOG (Spin on Glass) film is formed in the whole surface. Subsequently, after carrying out etchback of the whole surface, while carrying out the opening of the contact hole to a request location, carrying out the spatter of the wiring material film and embedding said contact hole, a metal wiring film is formed.

[0007] Next, after carrying out patterning of the metal wiring film and forming a PSG film (Phosphorus Silicate Glass; silicon oxide including Lynn) in the whole surface with a CVD method, the last protective coat which consists of a silicon nitride is formed, and an MOS mold semiconductor device is completed. The semiconductor device equipped with the MOS transistor which has this LDD structure has the structure where the low concentration impurity diffused layer was formed in the edge of a source field, and the edge of a drain field. And the electric field in this portion could weaken, impregnation of a hot carrier was controlled by this low concentration impurity diffused layer, and it has the advantage that an element life improves.

[0008]

[Problem(s) to be Solved by the Invention] However, when said MOS mold semiconductor device had few amounts of the hydrogen which exists in gate oxide, termination of the dangling bond (uncombined hand) which exists in a semiconductor substrate front face (interface of a semiconductor substrate and gate oxide) could not be carried out thoroughly, but the trap of the electron was carried out to this dangling bond that has not carried out termination during actuation of a transistor, and it had the problem that threshold voltage varied.

[0009] On the other hand, if there are too many amounts of the hydrogen which exists in gate oxide, also after carrying out

termination of the dangling bond which exists in a semiconductor substrate front face thoroughly by hydrogen, superfluous hydrogen will remain in gate oxide. And reacted with the carrier in which this hydrogen that remained had the high energy generated during actuation of a transistor, the interface state density in a semiconductor substrate was made to increase, and there was a problem of reducing a hot carrier life (hot carrier resistance).

[0010] And when a plasma-silicon nitride is especially formed in the maximum upper layer of a protective coat, The hydrogen which exists so much in the plasma-silicon nitride concerned is supplied into gate oxide, and this superfluous hydrogen reacts with a carrier with the high energy generated during actuation of a transistor. Report of making the interface state density in a semiconductor substrate increasing, and reducing a hot carrier life "IEEE ED vol.28 p83-94 (1918); it is carried out by Fair and Sun in IEEE, I dee, 28 volumes, and the 83rd - 94-page (1981)."

[0011] This invention aims at offering the method of manufacturing the semiconductor device whose hot carrier life is making to solve such a conventional trouble into a technical problem, and making into the optimal value the amount of hydrogen which exists in gate oxide, prevented superfluous hydrogen having existed while carrying out termination of the dangling bond which exists in the interface of a semiconductor substrate and gate oxide thoroughly, and was equipped with the outstanding electrical property, and improved.

[0012]

[Problem(s) to be Solved by the Invention] In the manufacture method of a semiconductor device that the maximum upper layer of a protective coat consists of a silicon nitride, as for this invention in order to attain this object Before forming said silicon nitride, it consists of hydrogen and nitrogen as a controlled atmosphere. The mixed gas which contains more than 5 volume % (that is, nitrogen under 95 volume %) and hydrogen for the hydrogen concerned in the range below 20 volume % (that is, nitrogen exceeds 80 volume %) is used. And at the temperature of 350 degrees C or more and 450 degrees C or less The manufacture method of the semiconductor device characterized by performing heat treatment for 10 minutes or more and 130 minutes or less is offered.

[0013]

[Function] Before the manufacture method of the semiconductor device concerning this invention forms a silicon nitride, as a controlled atmosphere from hydrogen and nitrogen – becoming – and the hydrogen concerned – more than 5 volume % (that is, nitrogen under 95 volume %) – and The mixed gas which contains hydrogen in the range below 20 volume % (that is, nitrogen exceeds 80 volume %) is used. At the temperature of 350 degrees C or more and 450 degrees C or less In order to perform heat treatment for 10 minutes or more and 130 minutes or less, the dangling bond which exists in the interface of a semiconductor substrate and gate oxide While termination is thoroughly carried out together with the hydrogen contained in the silicon nitride as the maximum upper layer of the protective coat formed after that, it is prevented that excessive hydrogen exists in gate oxide.

[0014] Moreover, after adjusting the amount of hydrogen which carries out termination of said all dangling bonds, and exists in gate oxide, in order to form a silicon nitride as a protective coat, this silicon nitride prevents trespass of the moisture from the outside. For this reason, the relation of said dangling bond and hydrogen is held semipermanently. Hereafter, the criticality-meaning of said numeric value is explained.

The hydrogen content of "controlled atmosphere will not be able to carry out termination of the dangling bond which exists that the hydrogen content of" controlled atmosphere is under 5 volume % below 20 volume % in a semiconductor substrate front face more than 5 volume % thoroughly by hydrogen, but during actuation of a transistor, the trap of the electron is carried out to this dangling bond that has not carried out termination, threshold voltage will vary or a mutual conductance (Gm) will fall. For this reason, the electrical characteristics of a semiconductor device will get worse.

[0015] On the other hand, if the hydrogen content of said controlled atmosphere exceeds 20 volume %, after carrying out termination of the dangling bond which exists in a semiconductor substrate front face thoroughly by hydrogen, unnecessary (it is superfluous) hydrogen exists in gate oxide, will react with the carrier in which this hydrogen had the high energy generated during actuation of a transistor, the interface state density in a semiconductor substrate will be made to increase, and a hot carrier life will be reduced.

[0016] It is prevented that termination is carried out thoroughly and excessive hydrogen invades into gate oxide together with the hydrogen which makes the dangling bond with which the hydrogen content of a controlled atmosphere exists that it is below 20 volume % in a semiconductor substrate front face more than 5 volume % contain in the silicon nitride as the maximum upper layer of the protective coat formed after that. Therefore, more than 5 volume % (nitrogen concentration under 95 volume %) and the hydrogen concentration of a controlled atmosphere were limited for the hydrogen concentration of said controlled atmosphere to the range below 20 volume % (nitrogen concentration exceeds 80 volume %).

Even if it double the hydrogen to which the dangling bond with which "heat treatment temperature exist that it be 350 degrees

C or more, and the less than [450 degree C]" aforementioned heat treatment temperature be less than 350 degrees C in a semiconductor substrate front face be supply from the silicon nitride of that aftercare film, termination will not be able to be carry out thoroughly, but during actuation of a transistor, the trap of the electron be carry out to this dangling bond that have not carry out termination, threshold voltage will vary or a mutual conductance (Gm) will fall. For this reason, the electrical characteristics of a semiconductor device will get worse.

[0017] On the other hand, if said heat treatment temperature exceeds 450 degrees C, since a void will be occurred and disconnected in wiring by the stress migration, temperature cannot be made higher than 450 degrees C. It is prevented that termination of the dangling bond with which heat treatment temperature exists that they are 350 degrees C or more and 450 degrees C or less in a semiconductor substrate front face is thoroughly carried out by hydrogen, and excessive hydrogen exists in gate oxide. Furthermore, an open circuit of wiring by the stress migration is not generated, either.

[0018] Therefore, the temperature of said heat treatment was limited to the range of 350 degrees C or more and 450 degrees C or less.

Termination of the dangling bond with which "heat treatment time amount exists that 10 minutes or more and the less than [130 minute]" aforementioned heat treatment time amount are less than 10 minutes in a semiconductor substrate front face will not be able to be thoroughly carried out by hydrogen, but during actuation of a transistor, the trap of the electron is carried out to this dangling bond that has not carried out termination, threshold voltage will vary or a mutual conductance (Gm) will fall. For this reason, the electrical characteristics of a semiconductor device will get worse. Moreover, the time management of heat treatment becomes difficult and it is not practical.

[0019] On the other hand, if said heat treatment time amount exceeds 130 minutes, after carrying out termination of the dangling bond which exists in a semiconductor substrate front face thoroughly by hydrogen, unnecessary (it is superfluous) hydrogen exists in gate oxide, will react with the carrier in which this hydrogen had the high energy generated during actuation of a transistor, the interface state density in a semiconductor substrate will be made to increase, and a hot carrier life will be reduced. Moreover, heat treatment time amount will be too long, and productivity will fall substantially.

[0020] It is prevented that termination of the dangling bond with which heat treatment time amount exists that they are 10 minutes or more and 130 minutes or less in a semiconductor substrate front face is thoroughly carried out by hydrogen, and excessive hydrogen exists in gate oxide. Therefore, the time amount of said heat treatment was limited to the range for 10 minutes or more and 130 minutes or less.

[0021]

[Example] Next, one example concerning this invention is explained with reference to a drawing. Drawing 1 thru/or drawing 8 are the fragmentary sectional views showing a part of manufacturing process of the semiconductor device concerning one example of this invention. At the process shown in drawing 1, the p type silicon substrate 1 is oxidized, about 500A silicon oxide is formed, and a silicon nitride is formed with a CVD method on this.

[0022] Next, in order to etch said silicon nitride and to form n mold MOS transistor, the boron (B) of about [$1.2 \times 10^{13} \text{cm}^{-2}$] two dose is poured in, and p wells 2 are formed. Next, it heat-treats to said p type silicon substrate 1, B is diffused, and two field is extended p wells.

[0023] Subsequently, after etching said silicon oxide and forming a pad oxide film, a silicon nitride is formed with a CVD method on this. Next, the silicon nitride formed in fields other than an element active region (transistor formation field) is removed selectively. Subsequently, the ion implantation of the channel stopper ion is selectively carried out to the non-active region of said p type silicon substrate 1, and a channel stopper 3 is formed in it.

[0024] Next, it oxidizes thermally to said p type silicon substrate 1 by using as a mask the silicon nitride formed on said element activation field, field oxide 4 with a thickness of about 6000A is formed in a non-active region, and separation between elements is performed. Then, said silicon nitride is removed. Subsequently, at the process shown in drawing 2, the ion implantation of the boron fluoride for threshold adjustment (BF₂) is carried out to the channel field of the p type silicon substrate 1 obtained at the process shown in drawing 1 with about [$3.3 \times 10^{12} \text{cm}^{-2}$] two dose. Next, gate oxide 5 is formed on the p type silicon substrate 1 after exfoliating a pad oxide film.

[0025] Next, the polycrystalline silicon film 6 is formed with a CVD method as a gate electrode formation material on gate oxide 5. Subsequently, P is doped on the polycrystalline silicon film 6, and resistance of the polycrystalline silicon film 6 is lowered to it. Next, at the process shown in drawing 3, the polycrystalline silicon film 6 obtained at the process shown in drawing 2 is etched selectively, and the gate electrode 7 is formed.

[0026] Subsequently, the ion implantation of the P of about [$2.0 \times 10^{13} \text{cm}^{-2}$] two dose is carried out all over p wells 2 by using the gate electrode 7 as a mask, and it is n - A diffusion layer 10 and n - A diffusion layer 11 is formed. Subsequently, at the process shown in drawing 4, it etches into gate oxide 5 by using as a mask the gate electrode 7 obtained at the process shown

in drawing 3 , and the source field and drain field of the p type silicon substrate 1 are exposed.

[0027] Next, n after forming silicon oxide in the whole surface with a CVD method - A diffusion layer 10 and n - Etchback of the silicon oxide concerned is carried out, and a sidewall 8 is formed in the side of the gate electrode 7 until p type silicon substrate 1 front face corresponding to a diffusion layer 11 is exposed. Subsequently, at the process shown in drawing 5 , the silicon oxide 9 for the impurity ion implantations for forming the high concentration impurity diffused layer performed behind all over the wafer obtained at the process shown in drawing 4 is formed.

[0028] Next, at the process shown in drawing 6 , the silicon oxide 9 obtained at the process shown in drawing 5 is made into the silicon oxide for ion implantations for forming a high concentration impurity diffused layer (it being called "n+ diffusion layer" in this example), and the ion implantation of the arsenic (As) of about $[3 \times 10^{15} \text{cm}^{-2}]$ two dose is carried out all over the p well 2 by using the gate electrode 7 and a sidewall 8 as a mask through this silicon oxide 9.

[0029] Thus, it is n+ to p wells 2. Diffusion layers 12 and 14 are formed and it is n. - A diffusion layer 10 and n+ The source 13 which consists of a diffusion layer 12, n - A diffusion layer 11 and n+ The drain 15 which consists of a diffusion layer 14 was formed. Next, in the process shown in drawing 7 , silicon oxide 16 is formed at low temperature on silicon oxide 9.

[0030] Subsequently, after forming the BPSG film 17 on silicon oxide 16, heat treatment for 15 minutes is performed at 900 degrees C, and flattening of the BPSG film 17 is performed. Next, the BPSG film 17, silicon oxide 16, and silicon oxide 9 are etched selectively, and the opening of the contact hole 18 to a transistor is carried out. Subsequently, at the process shown in drawing 8 , all over the wafer obtained at the process shown in drawing 7 , in the contact hole 18, while embedding an aluminum (aluminum) alloy, the metal wiring film which consists of an aluminum (aluminum) alloy is formed by the sputter.

[0031] Next, after performing patterning on said metal wiring film and forming wiring 19, the PSG film 20 is formed in the whole surface with a CVD method. Subsequently, heat treatment for 10 minutes or more and 130 minutes or less is performed using the mixed gas which consists of hydrogen and nitrogen, and contains hydrogen above 5 volume % (that is, nitrogen under 95 volume %), and contains hydrogen in the wafer with which the PSG film 20 was formed as a controlled atmosphere in the range below 20 volume % (that is, nitrogen exceeds 80 volume %) at the temperature of 350 degrees C or more and 450 degrees C or less.

[0032] Termination of all the dangling bonds that existed in the interface of p wells 2 and gate oxide 5 is thoroughly carried out by the hydrogen supplied by this process and the hydrogen supplied from the silicon nitride formed in the maximum upper layer. Therefore, the outstanding mutual conductance (Gm) is obtained and can obtain the stable threshold voltage. Moreover, after all the dangling bonds carry out termination, it can prevent that excessive hydrogen exists in gate oxide 5. Therefore, the conventional problem of reacting with the carrier in which the excessive hydrogen which remained had the high energy generated during actuation of a transistor, and making the interface state density in a semiconductor substrate increase does not occur. For this reason, a hot carrier life can be improved.

[0033] Subsequently, after ending this heat treatment, the silicon nitride 21 is formed on the PSG film 20. Next, it etches into this silicon nitride 21, thickness is adjusted, and the passivation film 22 of predetermined thickness which consists of a PSG film 20 and a silicon nitride 21 is formed. Thus, the semiconductor device equipped with n mold MOS transistor which has LDD structure was obtained.

[0034] In addition, although the semiconductor device equipped with n mold MOS transistor which has LDD structure was manufactured in this example, not only this but this invention of the ability to apply also about the usual MOS transistor which is not equipped with LDD structure is natural. Moreover, of course, it can apply also about p mold MOS transistor irrespective of n mold MOS transistor. What is necessary is just to carry out the ion implantation of the p mold impurities, such as B, at this time.

[0035] Furthermore, this invention of the ability to apply also about the semiconductor device equipped with complementarity MOS galvanized iron JISUTA equipped with n mold MOS transistor and p mold MOS transistor on the same substrate and other structures is natural. Moreover, in this example, although the ion implantation of the P was carried out as an impurity at the process shown in drawing 3 , not only this but As etc. may carry out the ion implantation of other n mold impurities.

[0036] And in this example, although the ion implantation of the As was carried out as an impurity at the process shown in drawing 6 , not only this but P etc. may carry out the ion implantation of other n mold impurities. And although the passivation film 22 equipped with the two-layer structure which consists of a PSG film 20 and a silicon nitride 21 was formed at the process shown in drawing 8 , not only this but the passivation film 22 is good in this example, also as structure of three or more layers again, if the silicon nitride 21 is formed in the maximum upper layer. Moreover, a request may constitute only from the silicon nitride 21.

[0037] And this example is one example and the size of the amount of ion implantations at the time of the ion implantation of an impurity, the amount of energy, and various elements etc. is not limited to this again. Next, at the same process as said

example, heat treatment temperature was performed as 350 degrees C at the process shown in drawing 8 , and it carried out as conditions which show the hydrogen concentration (volume %) and heat treatment time amount of a controlled atmosphere of heat treatment in this temperature in a table 1. Gate length =0.5micrometer, gate width = the 15-micrometer semiconductor device was manufactured.

[0038] Next, it investigated by the method of showing below the hot carrier life of the semiconductor device with which this heat treatment was performed. The hot carrier life was computed by measuring the impression time amount of DC stress after carrying out fixed time amount impression of the DC stress, until it measures a mutual conductance (Gm) to each semiconductor device which manufactured by performing various heat treatments, it asks it for that maximum by $V_d=0.1V$ and this maximum of Gm turns into 90% of the value at the time of a no-load to it.

[0039] Subsequently, the hot carrier life of 3.6V which are real operating voltage was computed from the relation between the hot carrier life in the voltage in each DC stress, and the inverse number of DC stress voltage. This result is shown in a table 1. In addition, the mark in a table "x" shows having not performed actuation with a normal transistor.

[0040]

[A table 1]

(HEAT TREATMENT TEMPERATURE=350°C)

HEAT TREATMENT TIME	5 MINUTES	10 MINUTES	130 MINUTES	150 MINUTES
2 VOLUME %	×	×	×	×
5 VOLUME %	×	1 6. 3 YEARS	1 3. 5 YEARS	8. 7 YEARS
2 0 VOLUME %	×	1 3. 4 YEARS	1 2. 1 YEARS	7. 4 YEARS
2 5 VOLUME %	7. 3 YEARS	5. 4 YEARS	3. 6 YEARS	2. 2 YEARS

[0041] It was checked that a hot carrier life is ten years or more, and the semiconductor device (semiconductor device concerning this invention) with which heat treatment temperature was 350 degrees C, and the hydrogen content (volume %) used the controlled atmosphere which is below 20 volume % more than 5 volume %, and performed heat treatment for 10 minutes or more and 130 minutes or less can fully be borne from a table 1 at a actual activity. In order to be equal to a actual activity here, it is well-known that ten years or more of hot carrier life is required.

[0042] This is because it was prevented that termination of the dangling bond which exists in p type silicon substrate 1 front face is thoroughly carried out by this invention by hydrogen, and excessive moisture invades from the outside into gate oxide 5 after this termination. On the other hand, even if heat treatment time amount fulfilled the conditions for 10 minutes or more and 130 minutes or less as the hydrogen content (volume %) of a controlled atmosphere is under 5 volume %, having not performed actuation with a normal transistor was checked.

[0043] This is because termination of the dangling bond which exists in p type silicon substrate 1 front face cannot be thoroughly carried out by hydrogen, but the trap of the electron is carried out to this dangling bond that has not carried out termination during actuation of a transistor and threshold voltage varies. Next, at the same process as said example, heat treatment temperature was performed as 450 degrees C at the process shown in drawing 8 , and it carried out as conditions which show the hydrogen concentration (volume %) and heat treatment time amount of a controlled atmosphere of heat treatment in this temperature in a table 1. Gate length =0.5micrometer, gate width = the 15-micrometer semiconductor device was manufactured.

[0044] Next, the hot carrier life of the semiconductor device with which this heat treatment was performed was investigated by the same method as the above. This result is shown in a table 2.

[0045]

[A table 2]

(HEAT TREATMENT TEMPERATURE=450°C)

HEAT TREATMENT TIME	5 MINUTES	10 MINUTES	130 MINUTES	150 MINUTES
2 VOLUME %	×	×	×	×
5 VOLUME %	×	1 5. 5 YEARS	1 2. 5 YEARS	4. 3 YEARS
2 0 VOLUME %	×	1 2. 5 YEARS	1 1. 3 YEARS	2. 8 YEARS
2 5 VOLUME %	6. 4 YEARS	4. 3 YEARS	2. 5 YEARS	1. 5 YEARS

[0046] A table 2 to heat treatment temperature is 450 degrees C. A hydrogen content (volume %) The semiconductor device (semiconductor device concerning this invention) which used the controlled atmosphere which is below 20 volume % more than 5 volume %, and performed heat treatment for 10 minutes or more and 130 minutes or less Although the hot carrier life fell a little compared with the semiconductor device (result of a table 1) whose heat treatment temperature is 350 degrees C, a hot carrier life is ten years or more, and it was checked that it can fully be equal to a actual activity.

[0047] This is also because termination of the dangling bond which exists in p type silicon substrate 1 front face being thoroughly carried out by hydrogen, and excessive moisture invading from the outside into gate oxide 5 after this termination, and becoming hydrogen was prevented. On the other hand, even if heat treatment time amount fulfilled the conditions for 10 minutes or more and 130 minutes or less as the hydrogen content (volume %) of a controlled atmosphere is under 5 volume %, having not performed actuation with a normal transistor was checked.

[0048] This is also because termination of the dangling bond which exists in the interface of p wells 2 and gate oxide 5 cannot be thoroughly carried out by hydrogen, but the trap of the electron is carried out to this dangling bond that has not carried out termination during actuation of a transistor and threshold voltage varies. Next, at the same process as said example, heat treatment temperature was performed as 300 degrees C at the process shown in drawing 8 , and it carried out as conditions which show the hydrogen concentration (volume %) and heat treatment time amount of a controlled atmosphere of heat treatment in this temperature in a table 1. Gate length =0.5micrometer, gate width = the 15-micrometer semiconductor device was manufactured.

[0049] Next, the hot carrier life of the semiconductor device with which this heat treatment was performed was investigated by the same method as the above. This result is shown in a table 3.

[0050]

[A table 3]

(HEAT TREATMENT TEMPERATURE=300°C)

HEAT TREATMENT TIME	5 MINUTES	10 MINUTES	130 MINUTES	150 MINUTES
2 VOLUME %	×	×	×	×
5 VOLUME %	×	×	×	×
2 0 VOLUME %	×	×	×	×
2 5 VOLUME %	×	×	×	×

[0051] From a table 3, it was checked that the semiconductor device which heat-treated at 300 degrees C had not performed actuation with a normal transistor even if heat treatment time amount fulfilled [the hydrogen concentration of a controlled atmosphere] the conditions of 10 minutes or more and 130 or less minute ** more than 5 volume % and below 20 volume %.

This is because termination of the dangling bond which exists in the interface of p wells 2 and gate oxide 5 cannot be thoroughly carried out by hydrogen, but the trap of the electron is carried out to this dangling bond that has not carried out termination during actuation of a transistor, and threshold voltage will become large and will not carry out normal actuation, if heat treatment temperature is low beyond the need.

[0052] Next, at the same process as said example, heat treatment temperature was performed as 500 degrees C at the process shown in drawing 8, and it carried out as conditions which show the hydrogen concentration (volume %) and heat treatment time amount of a controlled atmosphere of heat treatment in this temperature in a table 1. Gate length =0.5micrometer, gate width = the 15-micrometer semiconductor device was manufactured. Next, the result of the semiconductor device with which this heat treatment was performed is shown in a table 4.

[0053]

[A table 4]

(HEAT TREATMENT TEMPERATURE=500°C)

HEAT TREATMENT TIME	5 MINUTES	10 MINUTES	130 MINUTES	150 MINUTES
2 VOLUME %	×	×	×	×
5 VOLUME %	×	×	×	×
20 VOLUME %	×	×	×	×
25 VOLUME %	×	×	×	×

[0054] Wiring having disconnected the semiconductor device which heat-treated at 500 degrees C, and having not performed actuation with a normal transistor from a table 4, was checked. When this has a high heat treatment temperature beyond the need, it is for a void to occur by the stress migration. As mentioned above, in order to manufacture the semiconductor device which was equipped with ten years or more of long hot carrier life, and was excellent in electrical characteristics from the result of a table 1 thru/or a table 4 Before forming the silicon nitride 21, the mixed gas which consists of hydrogen and nitrogen and contains the hydrogen concerned in the range below 20 volume % more than 5 volume % as a controlled atmosphere is used. At the temperature of 350 degrees C or more and 450 degrees C or less It was proved that it is required to perform heat treatment for 10 minutes or more and 130 minutes or less.

[0055]

[Effect of the Invention] As explained above, according to the manufacture method of the semiconductor device concerning this invention Before forming a silicon nitride, the mixed gas which consists of hydrogen and nitrogen and contains the hydrogen concerned in the range below 20 volume % more than 5 volume % as a controlled atmosphere is used. At the temperature of 350 degrees C or more and 450 degrees C or less Since heat treatment for 10 minutes or more and 130 minutes or less is performed, together with the hydrogen contained in a silicon nitride as the maximum upper layer of a protective coat, termination of all the dangling bonds that exist in a semiconductor substrate front face can be carried out thoroughly. For this reason, while the outstanding mutual conductance is obtained, the stable threshold voltage can be obtained.

[0056] Furthermore, by forming a silicon nitride as a protective coat, after carrying out termination of said all dangling bonds, in order to prevent trespass of the moisture from the outside, moisture decomposes and the amount of hydrogen does not increase a silicon nitride. For this reason, the relation of said dangling bond and hydrogen can be held semipermanently. Consequently, the semiconductor device whose hot carrier life was equipped with the outstanding electrical property and improved can be offered.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 2] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 3] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 4] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 5] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 6] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 7] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Drawing 8] It is the fragmentary sectional view showing a part of manufacturing process of the semiconductor device concerning one example of this invention.

[Description of Notations]

- 1 Silicon Substrate
- 2 P Wells
- 3 Channel Stopper
- 4 Field Oxide
- 5 Gate Oxide
- 6 Polycrystalline Silicon Film
- 7 Gate Electrode
- 8 Sidewall
- 9 Silicon Oxide
- 10 N - Diffusion Layer
- 11 N - Diffusion Layer
- 12 N+ Diffusion Layer
- 13 Source
- 14 N+ Diffusion Layer
- 15 Drain
- 16 Silicon Oxide
- 17 BPSG Film
- 18 Contact Hole
- 19 Wiring
- 20 PSG Film
- 21 Silicon Nitride
- 22 Passivation Film

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

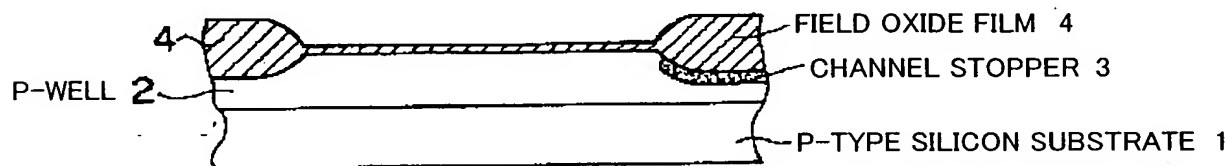
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

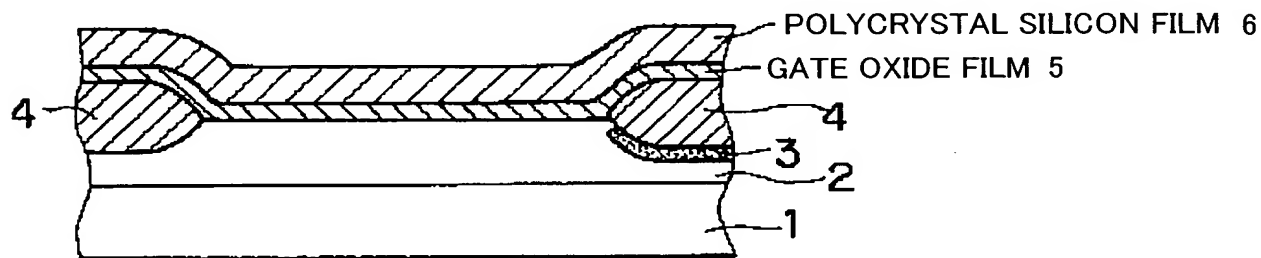
3.In the drawings, any words are not translated.

DRAWINGS

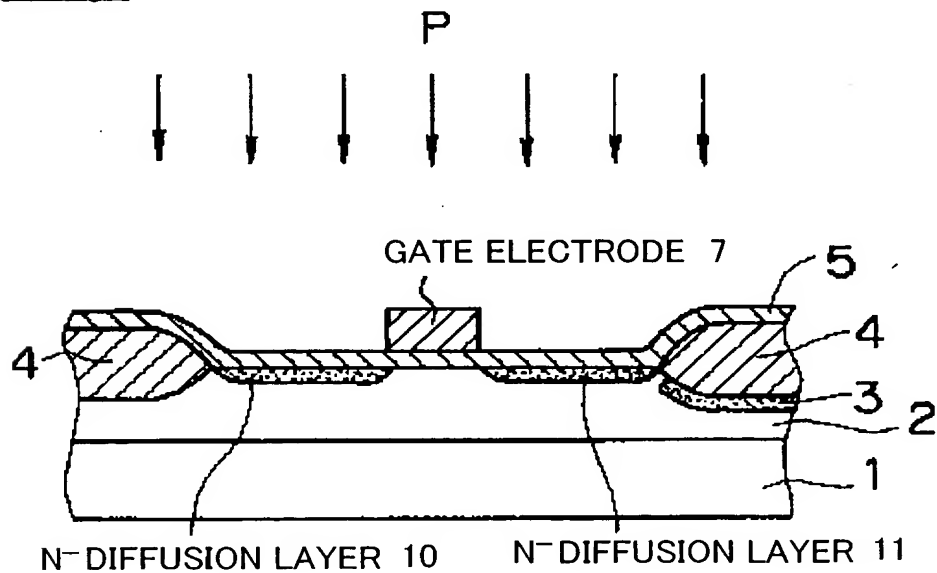
[Drawing 1]



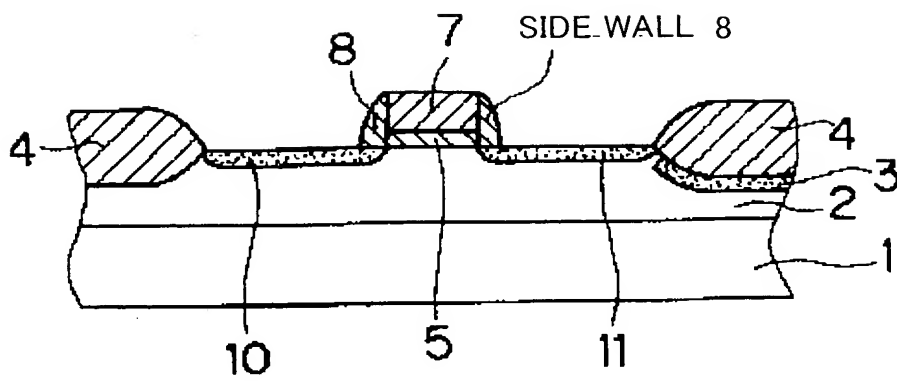
[Drawing 2]



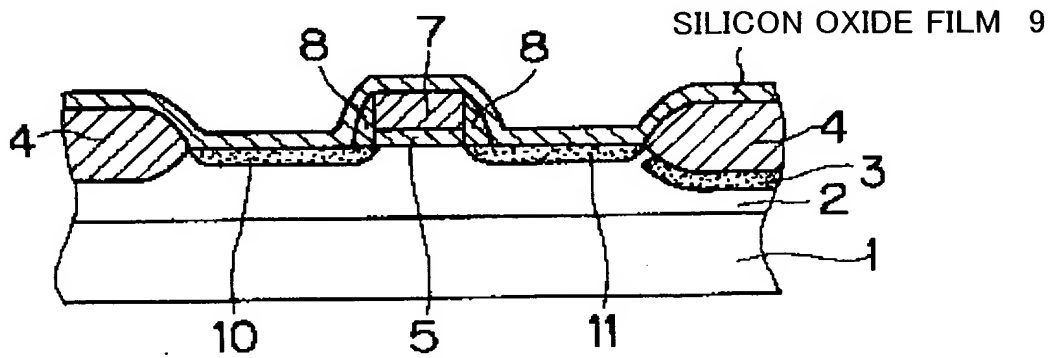
[Drawing 3]



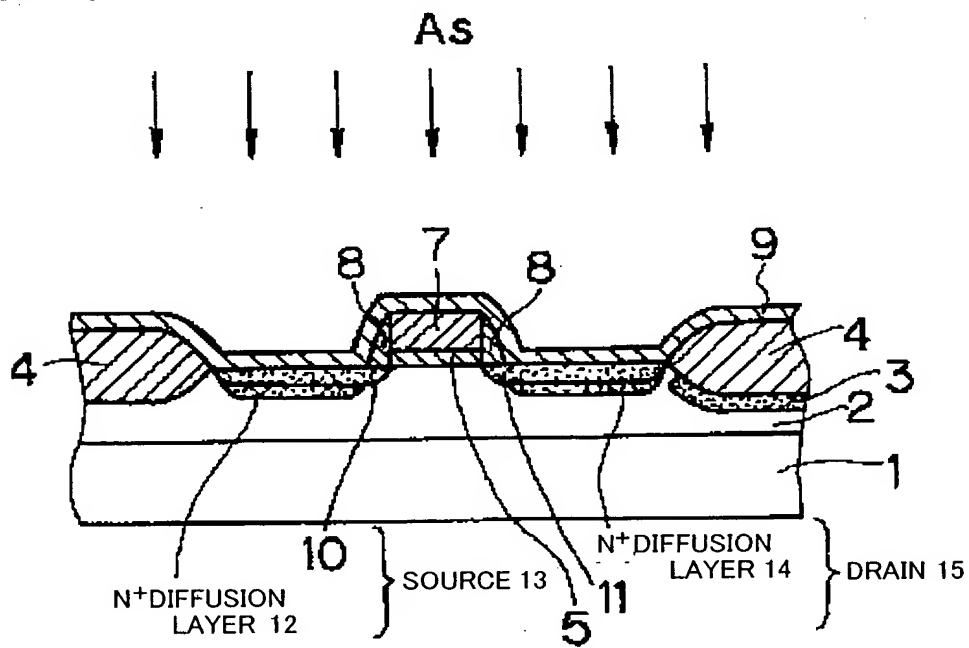
[Drawing 4]



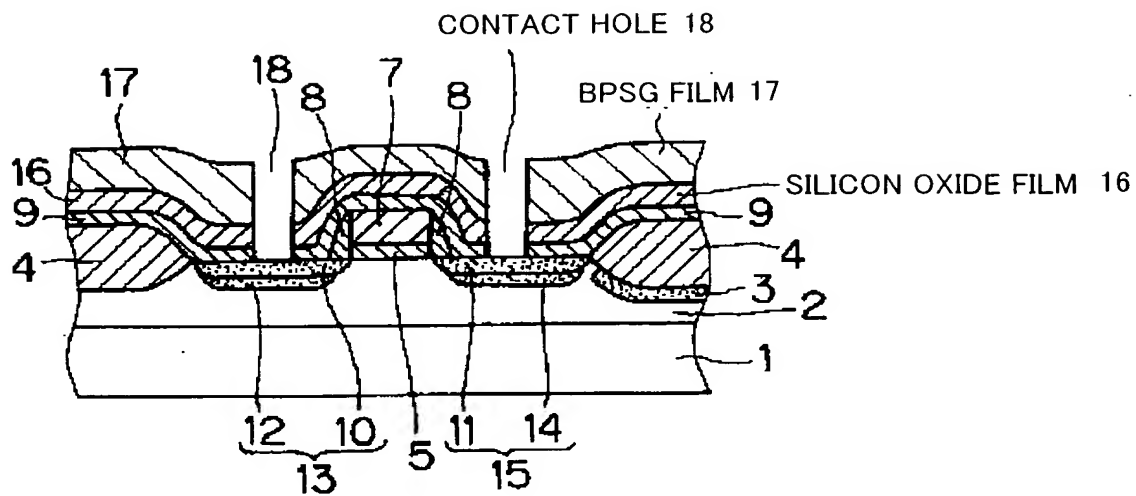
[Drawing 5]



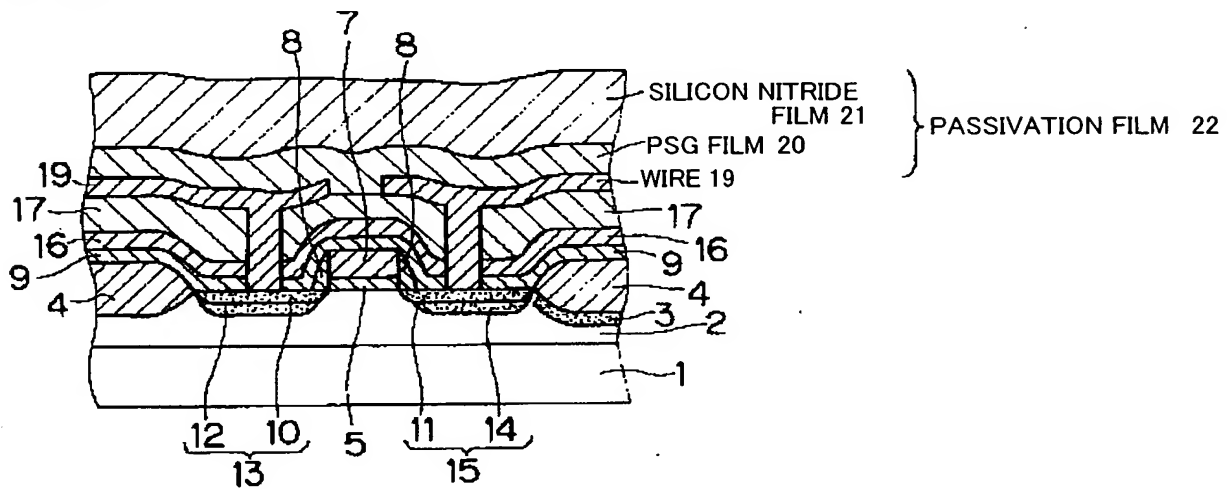
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74167

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/318 29/78	B	7352-4M 7514-4M	H 0 1 L 29/ 78	3 0 1 N

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号 特願平5-163013

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 福田 憲司

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72) 発明者 麻生 浩由

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

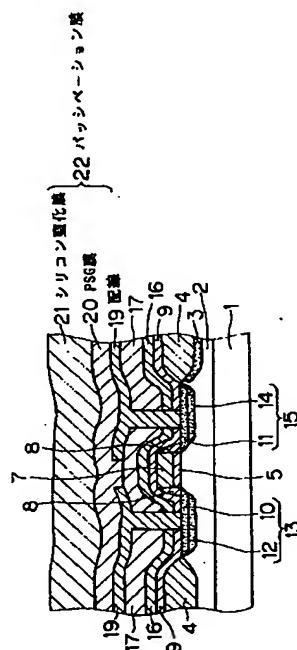
(74) 代理人 弁理士 森 哲也 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 ゲート酸化膜中に存在する水素量を最適な値にすることで、半導体基板表面に存在するダングリングボンドを完全に終端させると共に、過剰な水素が存在することを防止し、優れた電気特性を備え且つホットキャリア寿命が向上した半導体装置を製造する方法を提供する。

【構成】 シリコン基板1上に、所望の素子を形成した後、保護膜としてシリコン窒化膜21を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行う。



【特許請求の範囲】

【請求項1】 保護膜の最上層がシリコン窒化膜からなる半導体装置の製造方法において、前記シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ当該水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特に、電気特性及びホットキャリア耐性が向上された半導体装置の製造方法に関する。

【0002】

【従来の技術】従来から、半導体装置の微細化及び高集積化に伴い、半導体装置のゲート長が短くなってきている。このゲート長が短くなると、同じ書き込み電圧でも書き込み時のゲートの電界が極めて高くなり、そこを通るキャリアが高いエネルギーを得て、衝突電離が起こるようになる。これは、ホットキャリア現象と呼ばれ、MOS (Metal Oxide Semiconductor) トランジスタの特性劣化を引き起こしていた。

【0003】そこで、「IEEE Trans. Electron Device s ED VOL.27, No.8, p1359~1376 (August 1980) ; アイ・イー・イー・イー・イー、トランザクション エレクトロニクス ディバイスズ イー・ディー、27巻、ナンバー8、第1359~1376頁(1980年8月)」に、ソース領域及びドレイン領域の端部での空乏層内の電界を弱めることで、ホットキャリア現象を抑制するLDD構造を備えたMOS型トランジスタが紹介されている。

【0004】このLDD構造を備えたMOSトランジスタは、以下の方法で形成される。シリコン基板(半導体基板)上に、ゲート酸化膜を介してゲート電極を形成した後、当該ゲート電極をマスクとして、シリコン基板に低濃度の不純物をイオン注入し、ゲート電極下のソース領域及びドレイン領域に、低濃度不純物拡散層を形成する。

【0005】次に、前記ゲート電極の側面に、サイドウォールを形成した後、全面に、高濃度不純物拡散層形成のためのイオン注入用シリコン酸化膜として、熱酸化膜を形成する。次いで、この熱酸化膜を、後にソース領域及びドレイン領域に選択的に注入する高濃度の不純物のイオン注入用シリコン酸化膜とし、ゲート電極及びサイドウォールをマスクとして、シリコン基板に高濃度の不純物をイオン注入し、ゲート電極下のソース領域及びドレイン領域に、高濃度不純物拡散層を形成する。

【0006】次に、全面に、シリコン酸化膜を形成した後、さらにBPSG (Boron Phosphorus Silicate Glass) 膜を形成し、900℃、窒素ガス中でこれをリフロ

ーして、平坦化した後、全面にSOG (Spin on Glass) 膜を形成する。次いで、全面をエッチバックした後、所望位置にコンタクト孔を開孔し、配線材料膜をスパッタして、前記コンタクト孔を埋め込むと共に、金属配線膜を形成する。

【0007】次に、金属配線膜をパターニングし、全面に、PSG膜 (Phospho Silicate Glass ; リンを含んだシリコン酸化膜) をCVD法により形成した後、シリコン窒化膜からなる最終保護膜を形成して、MOS型半導体装置を完成する。このLDD構造を有するMOSTランジスタを備えた半導体装置は、ソース領域の端部及びドレイン領域の端部に、低濃度不純物拡散層が形成された構造を有している。そして、この低濃度不純物拡散層により、この部分での電場が弱められて、ホットキャリアの注入が抑制され、素子寿命が向上するという利点を備えている。

【0008】

【発明が解決しようとする課題】しかしながら、前記MOS型半導体装置は、ゲート酸化膜中に存在する水素の量が少ないと、半導体基板表面(半導体基板とゲート酸化膜との界面)に存在するダングリングボンド(未結合手)を完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらつくという問題があった。

【0009】一方、ゲート酸化膜中に存在する水素の量が多すぎると、半導体基板表面に存在するダングリングボンドを水素により完全に終端した後も、ゲート酸化膜中に過剰の水素が残留してしまう。そして、この残留した水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させ、ホットキャリア寿命(ホットキャリア耐性)を低下させるという問題があった。

【0010】そして、特に、保護膜の最上層にプラズマ-シリコン窒化膜を形成した場合、当該プラズマ-シリコン窒化膜中に多量に存在している水素が、ゲート酸化膜中に供給され、この過剰の水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して、半導体基板中の界面準位を増加させ、ホットキャリア寿命を低下させるという報告が、「IEEE ED vol.28 p 83~94 (1918) ; アイ・イー・イー・イー、イー・ディー、28巻、第83~94頁(1981年)」において、Fair and Sunによって行われている。

【0011】本発明は、このような従来の問題点を解決することを課題とするものであり、ゲート酸化膜中に存在する水素量を最適な値にすることで、半導体基板とゲート酸化膜との界面に存在するダングリングボンドを完全に終端させると共に、過剰な水素が存在することを防止し、優れた電気特性を備え且つホットキャリア寿命が向上した半導体装置を製造する方法を提供することを目

的とする。

【0012】

【発明が解決しようとする課題】この目的を達成するために、本発明は、保護膜の最上層がシリコン窒化膜からなる半導体装置の製造方法において、前記シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり、且つ当該水素を5体積%以上（すなわち、窒素が95体積%未満）且つ水素を20体積%以下（すなわち、窒素が80体積%を越える）の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分

【0013】

【作用】本発明に係る半導体装置の製造方法は、シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり、且つ、当該水素を5体積%以上（すなわち、窒素が95体積%未満）且つ、水素を20体積%以下（すなわち、窒素が80体積%を越える）の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うため、半導体基板とゲート酸化膜との界面に存在するダングリング

ボンドは、その後形成される保護膜の最上層としてのシリコン窒化膜中に含有される水素と合わせて、完全に終端されると共に、ゲート酸化膜中に余分な水素が存在することが防止される。

【0014】また、前記ダングリングボンドを全て終端し、且つゲート酸化膜中に存在する水素量を調整した後に、保護膜としてシリコン窒化膜を形成するため、このシリコン窒化膜が、外部からの水分の侵入を防止する。このため、前記ダングリングボンドと水素との関係は、半永久的に保持される。以下、前記数値の臨界的な意義について説明する。

「雰囲気ガスの水素含有量が、5体積%以上、20体積%以下」雰囲気ガスの水素含有量が5体積%未満であると、半導体基板表面に存在するダングリングボンドを水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついたり、相互コンダクタンス（G_m）が低下してしまう。このため、半導体装置の電気的特性が悪化してしまう。

【0015】一方、前記雰囲気ガスの水素含有量が20体積%を越え、半導体基板表面に存在するダングリングボンドを水素により完全に終端した後に、不要な（過剰な）水素がゲート酸化膜中に存在し、この水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させ、ホットキャリア寿命を低下させてしまう。

【0016】雰囲気ガスの水素含有量が、5体積%以上、20体積%以下であると、半導体基板表面に存在するダングリングボンドは、その後形成される保護膜の最

上層としてのシリコン窒化膜中に含有させる水素と合わせて完全に終端され、且つゲート酸化膜中に余分な水素が侵入することが防止される。従って、前記雰囲気ガスの水素濃度を、5体積%以上（窒素濃度が95体積%未満）且つ、雰囲気ガスの水素濃度を、20体積%以下（窒素濃度が80体積%を越える）の範囲に限定した。「熱処理温度が、350℃以上、450℃以下」前記熱処理温度が350℃未満であると、半導体基板表面に存在するダングリングボンドを、その後保護膜のシリコン窒化膜から供給される水素を合わせても完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついたり、相互コンダクタンス（G_m）が低下してしまう。このため、半導体装置の電気的特性が悪化してしまう。

【0017】一方、前記熱処理温度が450℃を越えると、ストレスマイグレーションにより、配線にボイドが発生して断線してしまうので、温度を450℃より高くすることはできない。熱処理温度が、350℃以上、450℃以下であると、半導体基板表面に存在するダングリングボンドは、水素により完全に終端され、且つゲート酸化膜中に余分な水素が存在することが防止される。さらに、ストレスマイグレーションによる配線の断線も発生しない。

【0018】従って、前記熱処理の温度を、350℃以上且つ450℃以下の範囲に限定した。

「熱処理時間が、10分以上、130分以下」前記熱処理時間が10分未満であると、半導体基板表面に存在するダングリングボンドを水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついたり、相互コンダクタンス（G_m）が低下してしまう。このため、半導体装置の電気的特性が悪化してしまう。また、熱処理の時間管理が困難となり、実用的でない。

【0019】一方、前記熱処理時間が130分を越えると、半導体基板表面に存在するダングリングボンドを水素により完全に終端した後に、不要な（過剰な）水素がゲート酸化膜中に存在し、この水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させ、ホットキャリア寿命を低下させてしまう。また、熱処理時間が長すぎて生産性が大幅に低下してしまう。

【0020】熱処理時間が、10分以上、130分以下であると、半導体基板表面に存在するダングリングボンドは、水素により完全に終端され、且つゲート酸化膜中に余分な水素が存在することが防止される。従って、前記熱処理の時間を、10分以上且つ130分以下の範囲に限定した。

【0021】

【実施例】次に、本発明に係る一実施例について、図面を参照して説明する。図1ないし図8は、本発明の一実施例に係る半導体装置の製造工程の一部を示す部分断面図である。図1に示す工程では、p型シリコン基板1を酸化して、500Å程度のシリコン酸化膜を形成し、この上にシリコン窒化膜をCVD法により形成する。

【0022】次に、前記シリコン窒化膜をエッチングして、n型MOSトランジスタを形成するため、 $1.2 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量のボロン(B)を注入してpウェル2を形成する。次に、前記p型シリコン基板1に熱処理を行い、Bを拡散してpウェル2領域を広げる。

【0023】次いで、前記シリコン酸化膜をエッチングして、パッド酸化膜を形成した後、この上にシリコン窒化膜をCVD法により形成する。次に、素子活性領域(トランジスタ形成領域)以外の領域に形成されたシリコン窒化膜を選択的に除去する。次いで、前記p型シリコン基板1の非活性領域に、選択的にチャネルストッパイオンをイオン注入し、チャネルストッパ3を形成する。

【0024】次に、前記素子活性化領域上に形成されたシリコン窒化膜をマスクとして、前記p型シリコン基板1に熱酸化を行い、非活性領域に厚さ6000Å程度のフィールド酸化膜4を形成し、素子間分離を行う。その後、前記シリコン窒化膜を除去する。次いで、図2に示す工程では、図1に示す工程で得たp型シリコン基板1のチャネル領域に、しきい値調整用のフッ化ボロン(BF₃)を、 $3.3 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量でイオン注入する。次に、パッド酸化膜を剥離後、p型シリコン基板1上に、ゲート酸化膜5を形成する。

【0025】次に、ゲート酸化膜5上に、ゲート電極形成材料として多結晶シリコン膜6をCVD法により形成する。次いで、多結晶シリコン膜6に、Pをドーピングして、多結晶シリコン膜6の抵抗を下げる。次に、図3に示す工程では、図2に示す工程で得た多結晶シリコン膜6を選択的にエッチングして、ゲート電極7を形成する。

【0026】次いで、ゲート電極7をマスクとして、pウェル2の全面に、 $2.0 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量のPをイオン注入して、n⁺拡散層10及びn⁻拡散層11を形成する。次いで、図4に示す工程では、図3に示す工程で得たゲート電極7をマスクとして、ゲート酸化膜5にエッチングを行い、p型シリコン基板1のソース領域及びドレイン領域を露出する。

【0027】次に、CVD法により、全面にシリコン酸化膜を形成した後、n⁺拡散層10及びn⁻拡散層11に対応するp型シリコン基板1表面が露出するまで、当該シリコン酸化膜をエッチバックして、ゲート電極7の側面にサイドウォール8を形成する。次いで、図5に示す工程では、図4に示す工程で得たウエハの全面に、後

に行う高濃度不純物拡散層を形成するための不純物イオン注入用のシリコン酸化膜9を形成する。

【0028】次に、図6に示す工程では、図5に示す工程で得たシリコン酸化膜9を、高濃度不純物拡散層(本実施例では、「n⁺拡散層」という)を形成するためのイオン注入用シリコン酸化膜とし、このシリコン酸化膜9を介すると共に、ゲート電極7及びサイドウォール8をマスクとして、pウェル2の全面に、 $3 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量のヒ素(As)をイオン注入する。

【0029】このようにして、pウェル2に、n⁺拡散層12及び14を形成し、n⁻拡散層10及びn⁺拡散層12からなるソース13、n⁻拡散層11及びn⁺拡散層14からなるドレイン15を形成した。次に、図7に示す工程では、シリコン酸化膜9上に、低温でシリコン酸化膜16を形成する。

【0030】次いで、シリコン酸化膜16上に、BPSG膜17を形成した後、900℃で15分間の熱処理を行い、BPSG膜17の平坦化を行う。次に、BPSG膜17、シリコン酸化膜16及びシリコン酸化膜9を選択的にエッチングし、トランジスタへのコンタクト孔18を開く。次いで、図8に示す工程では、図7に示す工程で得たウエハの全面に、スパッタ法により、コンタクト孔18内に、アルミニウム(A1)合金を埋め込むと共に、アルミニウム(A1)合金からなる金属配線膜を形成する。

【0031】次に、前記金属配線膜にパターニングを行い、配線19を形成した後、全面にCVD法により、PSG膜20を形成する。次いで、PSG膜20が形成されたウエハに、雰囲気ガスとして、水素と窒素からなり、且つ、水素を5体積%以上(すなわち、窒素が95体積%未満)、且つ、水素を20体積%以下(すなわち、窒素が80体積%を越える)の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行う。

【0032】この工程により、供給される水素と、最上層に形成されるシリコン窒化膜から供給される水素により、pウェル2とゲート酸化膜5との界面に存在していたダングリングボンドの全てが、完全に終端される。従って、優れた相互コンダクタンス(Gm)が得られ、また、安定したしきい値電圧を得ることができる。また、ダングリングボンドの全てが終端した後に、ゲート酸化膜5中に余分な水素が存在することを防止することができる。従って、残留した余分な水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させるという従来の問題が発生することがない。このため、ホットキャリア寿命を向上することができる。

【0033】次いで、この熱処理を終了した後、PSG膜20上に、シリコン窒化膜21を形成する。次に、このシリコン窒化膜21にエッチングを行い、膜厚を調整

し、PSG膜20及びシリコン窒化膜21からなる所定膜厚のバッシベーション膜22を形成する。このようにして、LDD構造を有するn型MOSトランジスタを備えた半導体装置を得た。

【0034】なお、本実施例では、LDD構造を有するn型MOSトランジスタを備えた半導体装置を製造したが、これに限らず、本発明は、LDD構造を備えていない通常のMOSトランジスタについても応用可能であることは勿論である。また、n型MOSトランジスタに係わらず、p型MOSトランジスタについても応用可能であることは勿論である。この時は、B等のp型不純物をイオン注入すればよい。

【0035】さらに、本発明は、同一基板上にn型MOSトランジスタとp型MOSトランジスタとを備えた相補性MOSトランジスタや、その他の構造を備えた半導体装置についても応用可能であることは勿論である。また、本実施例では、図3に示す工程で、不純物として、Pをイオン注入したが、これに限らず、As等、他のn型不純物をイオン注入してもよい。

【0036】そして、本実施例では、図6に示す工程で、不純物として、Asをイオン注入したが、これに限らず、P等、他のn型不純物をイオン注入してもよい。そしてまた、本実施例では、図8に示す工程で、PSG膜20及びシリコン窒化膜21からなる二層構造を備えたバッシベーション膜22を形成したが、これに限らず、バッシベーション膜22は、最上層にシリコン窒化膜21が形成されていれば、三層以上の構造としてもよ*

(熱処理温度=350℃)

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	16.3 年	13.5 年	8.7 年
20 体積%	×	13.4 年	12.1 年	7.4 年
25 体積%	7.3 年	5.4 年	3.6 年	2.2 年

【0041】表1から、熱処理温度が350℃であって、水素含有量(体積%)が、5体積%以上、20体積%以下である雰囲気ガスを使用し、10分以上、130分以下の熱処理を行った半導体装置(本発明に係る半導体装置)は、ホットキャリア寿命が10年以上であり、実際の使用に十分に耐えられることが確認された。ここで、実際の使用に耐えるには、10年以上のホットキャリア寿命が必要であることは、公知である。

【0042】これは、p型シリコン基板1表面に存在するダングリングボンドが、本発明により、水素により完全に終端され、この終端後に、ゲート酸化膜5中に余分な水分が外部から侵入することが防止されたためである。一方、雰囲気ガスの水素含有量(体積%)が、5体

*い。また、所望により、シリコン窒化膜21だけで構成してもよい。

【0037】そしてまた、本実施例は、一実施例であり、不純物のイオン注入時におけるイオン注入量やエネルギー量、各種素子のサイズ等は、これに限定されるものではない。次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を350℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。

【0038】次に、この熱処理が行われた半導体装置のホットキャリア寿命を以下に示す方法で調査した。各種熱処理を行って製造したそれぞれの半導体装置に、DCストレスを一定時間印加した後、Vd=0.1Vで、相互コンダクタンス(Gm)を測定して、その最大値を求め、このGmの最大値が、無負荷時の値の90%になるまでのDCストレスの印加時間を測定することで、ホットキャリア寿命を算出した。

【0039】次いで、各DCストレスにおける電圧でのホットキャリア寿命と、DCストレス電圧の逆数との関係から、実動作電圧である3.6Vでのホットキャリア寿命を算出した。この結果を表1に示す。なお、表中の記号「×」は、トランジスタが正常な動作を行わなかったことを示す。

【0040】

【表1】

積%未満であると、熱処理時間が、10分以上、130分以下の条件を満たしていても、トランジスタが正常な動作を行わなかったことが確認された。

【0043】これは、p型シリコン基板1表面に存在するダングリングボンドを、水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついてしまうからである。次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を450℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。

【0044】次に、この熱処理が行われた半導体装置のホットキャリア寿命を前記と同様の方法で調査した。この結果を表2に示す。

*【0045】

【表2】

*

(熱処理温度=450℃)

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	15.5 年	12.5 年	4.3 年
20 体積%	×	12.5 年	11.3 年	2.8 年
25 体積%	6.4 年	4.3 年	2.5 年	1.5 年

【0046】表2から、熱処理温度が450℃であって、水素含有量(体積%)が、5体積%以上、20体積%以下である雰囲気ガスを使用し、10分以上、130分以下の熱処理を行った半導体装置(本発明に係る半導体装置)は、熱処理温度が350℃の半導体装置(表1の結果)と比べ、若干ホットキャリア寿命が低下するものの、ホットキャリア寿命が10年以上であり、実際の使用に十分に耐えられることが確認された。

【0047】これも、p型シリコン基板1表面に存在するダングリングボンドが、水素により完全に終端され、この終端後に、ゲート酸化膜5中に、余分な水分が外部から侵入して水素になることが防止されたためである。一方、雰囲気ガスの水素含有量(体積%)が、5体積%未満であると、熱処理時間が、10分以上且つ130分以下の条件を満たしていても、トランジスタが正常な動作を行わなかったことが確認された。

※【0048】これも、pウェル2とゲート酸化膜5との界面に存在するダングリングボンドを、水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついてしまうからである。次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を300℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。

【0049】次に、この熱処理が行われた半導体装置のホットキャリア寿命を前記と同様の方法で調査した。この結果を表3に示す。

【0050】

【表3】

(熱処理温度=300℃)

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	×	×	×
20 体積%	×	×	×	×
25 体積%	×	×	×	×

【0051】表3から、300℃にて熱処理を行った半導体装置は、雰囲気ガスの水素濃度が、5体積%以上且つ20体積%以下、熱処理時間が、10分以上且つ130分以下、の条件を満たしていても、トランジスタが正常な動作を行わなかったことが確認された。これは、熱処理温度が必要以上に低いと、pウェル2とゲート酸化膜5との界面に存在するダングリングボンドを水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧が大きくなり、正常な動作を

40 しくなるからである。

【0052】次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を500℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。次に、この熱処理が行われた半導体装置の結果を表4に示す。

【0053】

【表4】

(熱処理温度=500℃)

熱 処 理 時 間	5 分	1 0 分	1 3 0 分	1 5 0 分
2 体積%	×	×	×	×
5 体積%	×	×	×	×
2 0 体積%	×	×	×	×
2 5 体積%	×	×	×	×

【0054】表4から、500℃にて熱処理を行った半導体装置は、配線が断線してしまい、トランジスタが正常な動作を行わなかったことが確認された。これは、熱処理温度が必要以上に高いと、ストレスマイグレーションにより、ボイドが発生するためである。以上、表1ないし表4の結果から、10年以上の長いホットキャリア寿命を備え且つ電気的特性に優れた半導体装置を製造するには、シリコン窒化膜21を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ当該水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うことが必要であることが立証された。

【0055】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法によれば、シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ当該水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うため、半導体基板表面に存在するダングリングボンドの全てを、保護膜の最上層としてシリコン窒化膜中に含まれる水素と合わせて完全に終端することができる。このため、優れた相互コンダクタンスが得られると共に、安定したしきい値電圧を得ることができる。

【0056】さらに、前記ダングリングボンドを全て終端した後、保護膜としてシリコン窒化膜を形成することで、シリコン窒化膜は、外部からの水分の侵入を防止するため、水分が分解して水素量が増加することがない。このため、前記ダングリングボンドと水素との関係は、半永久的に保持することができる。この結果、優れた電気特性を備え且つホットキャリア寿命が向上した半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図2】本発明の一実施例にかかる半導体装置の製造工

程の一部を示す部分断面図である。

【図3】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図4】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図5】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図6】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

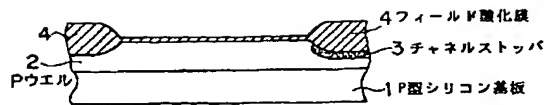
20 【図7】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図8】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

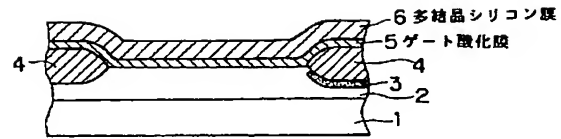
【符号の説明】

- 1 シリコン基板
- 2 pウェル
- 3 チャネルストッパ
- 4 フィールド酸化膜
- 5 ゲート酸化膜
- 30 6 多結晶シリコン膜
- 7 ゲート電極
- 8 サイドウォール
- 9 シリコン酸化膜
- 10 n⁻拡散層
- 11 n⁻拡散層
- 12 n⁺拡散層
- 13 ソース
- 14 n⁺拡散層
- 15 ドレイン
- 40 16 シリコン酸化膜
- 17 BPSG膜
- 18 コンタクト孔
- 19 配線
- 20 PSG膜
- 21 シリコン窒化膜
- 22 パッシベーション膜

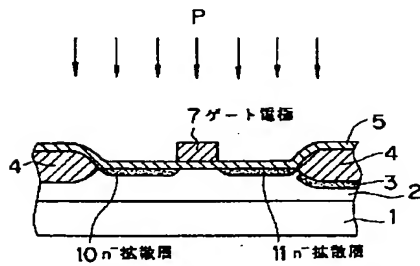
【図1】



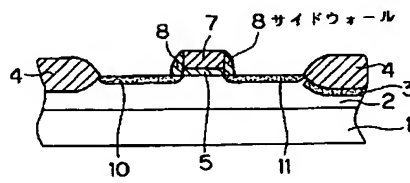
【図2】



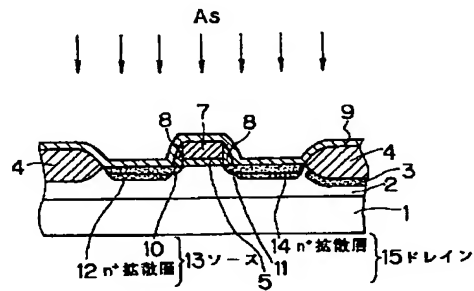
【図3】



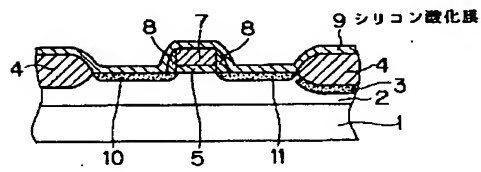
【図4】



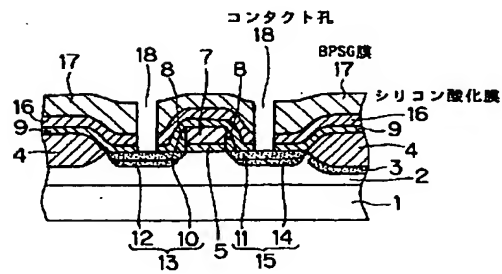
【図6】



【図5】



【図7】



【図8】

